

So will Intel wieder an die Spitze

Intels CEO Pat Gelsinger und Dr. Ann Kelleher, Senior Vice President und General Manager of Technology Development, gaben diese Woche im Zuge eines Webcasts einen tiefen Einblick in die Fertigungs- und Packaging-Roadmap des Herstellers bis 2025 und stellten neue Fertigungstechnologien vor. Die ehrgeizigen Pläne umfassen einen jährlichen Fertigungsfortschritt mit Leistungs-pro-Watt-Gewinnen im Bereich zwischen zehn und 20 Prozent, ehe 2024 die sogenannte "Ängström-Ära" eingeleitet werden soll, die viele Neuerungen mit sich bringen wird. Außerdem stellt Intel mit "RibbonFET" eine neue Transistor-Architektur und mit "PowerVia" ein Verfahren zur Stromversorgung eines Chips von der Unterseite aus vor.

Intels IDM 2.0 Strategie

Intel hat bereits am 23. März die IDM 2.0 Strategie vorgestellt. Die Abkürzung steht für *integrated device manufacturer* und bedeutet, dass Intel Chips nicht nur selbst designt, sondern eben auch fertigt und die Software dafür programmiert - das ist weltweit einzigartig. So lässt Konkurrent AMD seine Chips zum Beispiel vom Auftragsfertiger TSMC produzieren. In allen drei Bereichen - insbesondere der Fertigung - will Intel in den nächsten Jahren mächtig aufrüsten.

Daher holte Intel unter CEO Pat Gelsinger nicht nur viele ehemalige Chefentwickler wieder zurück ins Boot, sondern will auch Milliarden in eine neuen Chipfabrik in Europa investieren. Das Ziel ist dabei klar definiert: Man will in allen Segmenten die Marktführung zurückerobern beziehungsweise ausbauen.

Fertigungsdichte und Gate-Länge

Die Leistungsfähigkeit eines Prozessors bestimmt sich vor allem durch seine Fertigungsdichte, welche in erster Linie durch das Fertigungsverfahren und die Chip-Größe festgelegt wird. Die Strukturgröße gibt dabei die kleinstmögliche Kantenlänge der Plotter-Einheit zur Erzeugung der Strukturen mittels Unterbelichtung oder Diffusion an. Bei dieser kleinsten Struktur handelte es sich Anfangs um die Gate-Länge. Oder anders gesagt, wenn das Gate eine Länge von 300 Nanometern hatte, dann kam ein 300-nm-Fertigungsprozess zum Einsatz. An diese ursprüngliche Definition halten sich die Chip-Hersteller allerdings seit über 20 Jahren schon nicht mehr. Das hat zur Folge, dass Intels 10-nm-Prozess auf eine ähnliche Fertigungsdichte kommt wie TSMCs 7-nm-Fertigungsverfahren, obwohl die Zahlen etwas anderes suggerieren.

Philip Wong, VP of Corporate Research von TSMC, hat das Ganze treffend so beschrieben: "Heute sind diese Zahlen nur noch eines: Zahlen. Sie sind genauso wie die Modellnummer eines Autos... es ist nur noch eine Bezeichnung für den nächsten Technologieschritt... aus diesem Grund sollte man nicht den Namen des Fertigungsverfahrens mit der tatsächlichen Leistungsfähigkeit der Technologie vermischen." Oder anders gesagt: Man sollte die Prozessoren unterschiedlicher Hersteller nicht mehr an Hand der Zahl vergleichen, mit der sie das jeweilige Fertigungsverfahren bezeichnen. So zeigt auch der CPU-Vergleich der Channel-Partner-Schwesterzeitschrift PC-Welt, dass Intel trotz nominell doppelt so großem Fertigungsverfahren - 14 Nanometer versus 7 Nanometer - mit den Konkurrenzprodukten von AMD noch ganz gut mithalten kann.



Neue Namenskonvention für Intel-CPUs

Mit diesen irreführenden Bezeichnungen soll bei Intel jetzt jedoch Schluss sein. Stattdessen führt der Hersteller ein neues Naming ein. So folgt nach dem aktuellen 10nm-SuperFin-Verfahren die sogenannte **Intel 7 Node**. Ursprünglich bezeichnete der Hersteller diesen Fertigungsschritt als EnhancedSuperFin-Verfahren.

Dieses Fertigungsverfahren soll unter anderem für Alder Lake und Sapphire Rapids zum Einsatz kommen und soll durch eine Optimierung der FinFET Transistoren einen Performance-Gewinn von zehn bis 15 Prozent pro Watt ermöglichen.

Es folgt die **Intel 4 Node**, welche das ursprüngliche 7-nm-Verfahren namentlich ersetzen soll. Hierbei will der Hersteller auf eine ganzflächige EUV-Lithografie setzen. Die extrem ultraviolette Strahlung soll eine Strukturverkleinerung und damit einhergehend eine effizientere, schnellere und günstigere Belichtung der Wafer zur Chip-Herstellung ermöglichen. Hierdurch verspricht Intel sich 20 Prozent mehr Performance-pro-Watt.

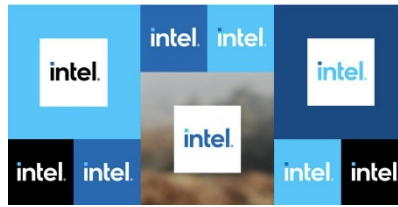
Dieses Fertigungsverfahren soll für "Meteor Lake" zum Einsatz kommen. Auch "Granite Rapid" setzt auf Intel 4 und soll - wie auch die aktuellen Ryzen- und Threadripper-Prozessoren von AMD - auf einen Ansatz mit mehreren Chiplets setzen. Intel verspricht sich davon nicht nur eine einfachere Fertigung, sondern will mit EMIB auch einen Weg zur Kommunikation zwischen den Dies gefunden haben, um nahezu die Leistung eines monolithischen Chips zu erreichen. Die Produktion soll in der zweiten Hälfte des Jahres 2022 starten und die Produkte sollen Anfang 2023 auf den Markt kommen.

Mit **Intel 3** will der Hersteller die Leistung pro Watt erneut um 18 Prozent steigern. Ermöglichen sollen das Optimierungen des FinFET-Verfahrens sowie ein stärkerer Einsatz der EUV-Lithografie. Die Produktion soll in der zweiten Hälfte 2023 starten, mit den ersten Produkten ist dementsprechend Anfang 2024 zu rechnen.

Intel 20A soll dann die sogenannte Ängström-Ära einläuten. Ein Ängström ist eine nach dem schwedischen Physiker Anders Jonas Ängström benannte Längeneinheit und entspricht dem zehnmillionsten Teil eines Millimeters. Das entspricht einer Länge von 10 hoch minus 10 Metern, ein Nanometer sind dagegen 10 hoch Minus 9 Meter.

Im gleichen Zug will Intel die neue "RibbonFET"-Architektur und "PowerVia" zur Stromversorgung von der Unterseite des Siliziums aus einführen. Der Nachfolger **Intel 18A** befindet sich für Anfang 2025 ebenfalls bereits in der Entwicklung und soll die RibbonFET-Architektur optimieren. Hierfür arbeitet Intel an der Entwicklung der ersten High-NA-EUV-Belichtung.

EMIB (Embedded Multi-Die Interconnect Bridge) ist Intels 2,5D-Embedded-Bridge-Lösung die bereits seit 2017 in Produkten zur Verbindung mehrerer Chiplets zum Einsatz kommt. Sapphire Rapids soll dabei das erste Intel-Xeon-Produkt werden, das auf EMIB setzt. Laut Intel sollen die CPUs trotz dem Chiplet-Ansatz in der Lage sein, fast die gleiche Leistung wie ein monolithischer Chip zu erreichen. Setzt die aktuelle EMIB-Generation noch auf einen *bump pitch*, also einem Abstand zwischen den Tiles, von 55 Mikrometern, so soll dieser Abstand mit der nächsten Generation auf 45 Mikrometer schrumpfen.



Foveros soll die Package-Dichte durch den ersten Ansatz zum 3D-Stacking zur Verbindung mehrerer Chipllets deutlich steigern können. In Meteor Lake soll dabei die zweite Generation von Foveros zum Einsatz kommen mit einem *bump pitch* von 36 Mikrometern. Der vorgesehene Leistungsbereich umfasst fünf bis 125 Watt, womit die Architektur sowohl im Mobil- als auch im Desktop-Bereich zum Einsatz kommen kann.

Foveros Omni ist die Weiterentwicklung mit einer optimierten 3D-Stacking-Technologie zur direkten Verbindung und Kommunikation zwischen mehreren Dies, was modulare Designs ermöglicht. Foveros Omni soll voraussichtlich 2023 in Fertigung gehen und das Vermischen von mehreren Top-Die-Tiles mit mehreren Base-Tiles durch unterschiedliche Fab-Knoten ermöglichen.

Foveros Direct soll einen bump pitch von unter 10 Mikrometern ermöglichen und damit die Grenze zwischen dem Wafer und dem Package verschwimmen lassen. Ermöglichen sollen das direkte, niederohmige Kupfer-zu-Kupfer-Verbindungen. Dadurch erhöht sich die mögliche 3D-Stacking-Dichte deutlich und erlaubt so neue Konzepte zum Aufbau von Rechenchips, die bisher nicht realisierbar waren. Foveros Direct wird parallel zu Foveros Omni entwickelt und soll ebenfalls 2023 verfügbar sein.

Bei Fragen steht Ihnen das gesamte Team der **CTC** jederzeit und gerne zur Verfügung. Wir sind für Sie via Mail (sales@ctc-austria.com) oder telefonisch unter 02235 44830 – 0 jederzeit erreichbar. „**Nützen und benützen**“ Sie uns für Ihren Geschäftserfolg.

Haben Sie schon **unseren SHOP** besucht?

www.ctc-austria.com

Sie haben sich noch nicht **registriert** und die vielen Vorteile genützt?
Nur als registrierter Partner sehen Sie Preise und Verfügbarkeit – dies dient dem Schutz des autorisierten Fachhandels.

[Registrierung als Partner](#)
